

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-15104

(P2004-15104A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl. 7

H04N 5/44

F I

H04N 5/44

Z

テーマコード(参考)

5C025

審査請求 有 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2002-161815 (P2002-161815)  
 (22) 出願日 平成14年6月3日(2002.6.3)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100068814  
 弁理士 坪井 淳  
 (74) 代理人 100092196  
 弁理士 橋本 良郎  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠

最終頁に続く

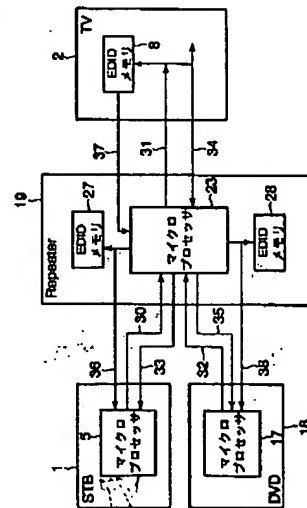
(54) 【発明の名称】 データ中継装置及びデータ表示システム

## (57) 【要約】

【課題】表示装置からの制御データを複数のソース機器に転送するのに優れたデータ中継装置を提供すること。

【解決手段】デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として出力する複数のソース機器(1、18)と、前記シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器(2)との間を中継するデータ中継装置(19)であって、前記複数のソース機器に対応する複数のメモリ(27、28)と、前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段(23)とを備えている。

【選択図】 図6



(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-15104

(P2004-15104A)

(43) 公開日 平成16年1月15日(2004.1.15)

(51) Int. Cl.<sup>7</sup>

H04N 5/44

F I

H04N 5/44

Z

テーマコード (参考)

5C025

審査請求 有 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2002-161815 (P2002-161815)  
 (22) 出願日 平成14年6月3日 (2002.6.3)

(71) 出願人 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100058479  
 弁理士 鈴江 武彦  
 (74) 代理人 100084618  
 弁理士 村松 貞男  
 (74) 代理人 100068814  
 弁理士 坪井 淳  
 (74) 代理人 100092196  
 弁理士 橋本 良郎  
 (74) 代理人 100091351  
 弁理士 河野 哲  
 (74) 代理人 100088683  
 弁理士 中村 誠

最終頁に続く

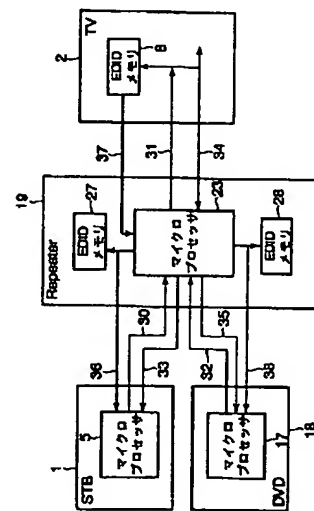
(54) 【発明の名称】 データ中継装置及びデータ表示システム

## (57) 【要約】

【課題】表示装置からの制御データを複数のソース機器に転送するのに優れたデータ中継装置を提供すること。

【解決手段】デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として出力する複数のソース機器(1、18)と、前記シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器(2)との間を中継するデータ中継装置(19)であって、前記複数のソース機器に対応する複数のメモリ(27、28)と、前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段(23)とを備えている。

【選択図】 図6



**【特許請求の範囲】****【請求項 1】**

デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として出力する複数のソース機器と、前記シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器との間を中継するデータ中継装置であって、前記複数のソース機器に対応する複数のメモリと、前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段と、  
を備えたことを特徴とするデータ中継装置。

10

**【請求項 2】**

前記メモリ制御手段は、前記複数のソース機器の優先順位を判断し、この優先順位に基づき前記複数のメモリに対する前記制御データの記憶順序を制御することを特徴とする請求項 1 に記載のデータ中継装置。

**【請求項 3】**

前記メモリ制御手段は、前記制御データを前記複数のメモリに対して記憶する記憶動作が完了するまでの間、前記ソース機器からの前記複数のメモリに対するアクセスを禁止することを特徴とする請求項 1 に記載のデータ中継装置。

**【請求項 4】**

ホットプラグラインを介して前記ソース機器に対して、前記複数のメモリに対するアクセスの禁止を通知することを特徴とする請求項 3 に記載のデータ中継装置。

20

**【請求項 5】**

双方向通信路を介して前記ソース機器に対して、前記複数のメモリに対するアクセス禁止を通知することを特徴とする請求項 3 に記載のデータ中継装置。

**【請求項 6】**

空きピンを介して前記ソース機器に対して、前記複数のメモリに対するアクセス禁止を通知することを特徴とする請求項 3 に記載のデータ中継装置。

**【請求項 7】**

デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として出力する複数のソース機器と、前記シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器との間を中継するデータ中継装置であって、メモリと、  
前記表示機器が有する前記制御データを前記メモリに対して記憶するメモリ制御手段と、前記複数のソース機器の中の所定のソース機器だけが前記メモリに対してアクセスできるように制御するアクセス制御手段と、  
を備えたことを特徴とするデータ中継装置。

30

**【請求項 8】**

前記アクセス制御手段は、前記複数のソース機器の中の一つのソース機器と前記メモリとの接続を選択的に切り換える切り換え手段であることを特徴とする請求項 7 に記載のデータ中継装置。

40

**【請求項 9】**

デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として送信するソース機器と、当該シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器と、  
前記ソース機器と前記表示機器との間を中継するデータ中継装置と、  
を備えたデータ表示システムであって、  
前記データ中継装置が、  
前記複数のソース機器に対応する複数のメモリと、

50

前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段と、  
を備えたことを特徴とするデータ表示システム。

【請求項10】

デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として送信するソース機器と、  
当該シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器と、  
前記ソース機器と前記表示機器との間を中継するデータ中継装置と、  
を備えたデータ表示システムであって、  
前記データ中継装置が、  
メモリと、

10

前記表示機器が有する前記制御データを前記メモリに対して記憶するメモリ制御手段と、  
前記複数のソース機器の中の所定のソース機器だけが前記メモリに対してアクセスできるように制御するアクセス制御手段と、  
を備えたことを特徴とするデータ表示システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタルビデオデータあるいはデジタル音声データの伝送路において用いられる映像・音声データを伝送するソース機器と、これらデータを表示する表示装置とを中継するデータ中継装置に関する。また、本発明は、これらソース機器、表示装置、及びデータ中継装置を備えたデータ表示システムに関する。

20

【0002】

【従来の技術】

本発明の従来技術としては、特許第2635837に開示されているディスプレイシステムに関する技術がある。また、特許第2815339に開示されているディスプレイ装置に関する技術がある。

【0003】

デジタル表示装置とパソコンやデジタルビデオディスクプレーヤ等のソース機器との互換性を保証する規格として、E-EDID (Enhanced Extended Display Identification Data Standard) 規格が定義されている。

30

【0004】

この規格に基づいた制御 (EDID) データは、パソコンやデジタルビデオディスクプレーヤ等に接続されるデジタル表示装置の表示属性を示すデータとして規定されている。

【0005】

具体的に、この制御データは、解像度、映像フレーム周期、画素数、ライン数、信号の形式 (RGB信号式あるいは輝度・色差信号式) 等の映像信号の形態を示すデータ、または、音声データのサンプルビット数、サンプリング周波数、スピーカー数に相当するチャンネル数等の音声信号の形態を示すデータ等である。この制御データは、ソース機器側のデコード方法を設定する際に用いられる。

40

【0006】

【発明が解決しようとする課題】

しかし、上記した制御データの値が、ソース機器側で誤って取得された場合、ソース機器は誤動作する。その結果、誤ってデコードされた信号は表示装置側における表示画像の乱れ等を誘発する恐れがある。また、一台の表示装置に対して複数のソース機器が接続される場合、上記問題はさらに深刻となる。さらに、一台の表示装置に対して複数のソース機器が接続される場合、表示装置から各ソース機器に対する制御データの転送時間の遅れも問題となる。

50

## 【0007】

この発明の目的は、上記したような事情に鑑み成されたものであって、表示装置からの制御データを複数のソース機器に転送するのに優れたデータ中継装置及びデータ表示システムを提供することにある。

## 【0008】

## 【課題を解決するための手段】

上記課題を解決し目的を達成するために、この発明のデータ中継装置及びデータ表示システムは、以下のように構成されている。

## 【0009】

(1) この発明は、デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として出力する複数のソース機器と、前記シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器との間を中継するデータ中継装置であって、前記複数のソース機器に対応する複数のメモリと、前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段とを備えている。

## 【0010】

(2) この発明は、デジタル信号の表示属性を示す制御データに基づき当該デジタル信号を復号制御し復号されたデジタル信号を符号化しシリアルデジタル信号として送信するソース機器と、当該シリアルデジタル信号に基づいて得られるデジタル信号を表示し且つ前記制御データを有する表示機器と、前記ソース機器と前記表示機器との間を中継するデータ中継装置と、を備えたデータ表示システムであって、前記データ中継装置が、前記複数のソース機器に対応する複数のメモリと、前記表示機器が有する前記制御データを前記複数のメモリに対して記憶させるメモリ制御手段とを備えている。

## 【0011】

## 【発明の実施の形態】

以下、この発明の実施の形態について図面を参照して説明する。

## 【0012】

本発明は、ソース機器と表示装置の間に介在するデータ中継装置、及びこのデータ中継装置を含むデータ表示システムに関するものである。データ中継装置は、表示装置からソース機器に対する表示装置の表示属性を示す制御データの中継を担う。まず、図1～図5を参照して、データ表示システムの基本構成を説明する。

## 【0013】

図1は、データ表示システムの基本構成を示すブロック図である。

## 【0014】

データ表示システムは、ディスプレイ装置88と、ディスプレイアダプタ92と、両者を接続する出力ポート94（グラフィックスホスト側）とを含む。ディスプレイ装置88は記憶装置98を含み、記憶装置98は複数の制御コードの形式で制御データを記憶する。また、通信ロジック95は、ディスプレイアダプタ92によって発生した指令信号にตอบสนองして記憶装置98と出力ポート94間で制御コードを通信する。この通信ロジック95は、シリアルリンク30と、装置ロジック97と、アダプタロジック96とを含む。シリアルリンク30は、ディスプレイ装置88と出力ポート94間で制御コードを通信する。装置ロジック97は、ディスプレイ装置88に配置されており、記憶装置98とシリアルリンク30間で制御コードを通信する。アダプタロジック96は、ディスプレイアダプタ92に配置されており、シリアルリンク30とディスプレイアダプタ92間で制御コードを通信する。ディスプレイ装置88に設けられた記憶装置98は、ディスプレイ装置88の表示属性を示す情報を記憶する。

## 【0015】

上記したようなデータ表示システムのために、映像データあるいは音声データを供給するソース機器としてのグラフィックスホストとデジタル表示装置との間を高速シリアルデジ

タル伝送を行う規格としてDVI (Digital Visual Interface) 規格が制定されている。

【0016】

ここでDVI規格を採用したグラフィックスホスト及びデジタル表示装置のシステムを説明するために図2を用いる。

【0017】

図2はDVI規格を採用したグラフィックスホスト及びデジタル表示装置の回路ブロック図である。

【0018】

このDVI規格は、グラフィックスホストとデジタル表示装置との間を高速シリアルデジタル伝送を行う規格であり、グラフィックスホスト側の信号を符号化方式や、デジタル表示装置側の復号化方式や、トランスミッタTxあるいはレシーバRxの電気的特性等を規定している。この規格にはデジタル表示装置に記憶されたEDID規格の制御データをグラフィックスホスト側で読み取るための通信制御の規格も含まれている。

【0019】

このシステムは、グラフィックスホストとしての有線放送や衛星放送受信器等のセットトップボックス1と、デジタル表示装置は放送映像を表示するテレビジョン受信装置2とで構成されている。

【0020】

セットトップボックス1のチューナ復号部3から復号されたデジタル映像信号はトランスミッタ4にて、高速シリアルデジタル信号に変換され、デジタル伝送路9でテレビジョン受信装置2によって伝送される。

【0021】

テレビジョン受信装置2においては、伝送された高速シリアルデジタル信号をレシーバ7にて受信し、デジタル映像信号を表示部6に送って映像を表示させている。

【0022】

DVIの規格においては、IIC (フィリップス社提唱の2線式通信規格) 通信バス規格が採用されている。

【0023】

同様にディスプレイアダプタ92によって発生した指令信号を発生するのは、図2のブロック図におけるセットトップボックス1のマイクロプロセッサ5であり、これにも通信ロジックが含まれる。

【0024】

表示装置の表示属性を示す制御データを保持するEDIDメモリ8は、セットトップボックス1のマイクロプロセッサ5で読み取られて、チューナ復号部3の映像信号の画角仕様 (水平画素数・垂直ライン数など) や、フレーム周波数などの復号パラメータを、読み取った制御データに含まれる表示属性データに基づいて設定する。

【0025】

また、このような表示システムにおいては、映像信号の記憶を未然に防止するために映像信号に対してスクランブル処理を施す。

【0026】

このスクランブル処理を規定した規格として、HDCP (High-band Digital Content Protection) 規格が規定されている。

【0027】

HDCP規格は、グラフィックスホストとデジタル表示装置との間の映像信号のデジタル伝送に当たって、その映像信号のスクランブル/デスクランブルや、その共有鍵配送などを規定している。

【0028】

上記のDVI規格においては、映像信号の暗号化復号方式として、このHDCP規格を推奨している。

## 【0029】

そしてHDCP規格に規定された共有鍵の配送に関しては、図2のブロック図における通信制御バス10を利用することになっている。

## 【0030】

図3に、HDCP規格に準拠したスクランブラとデスクランブラを、図2のDVI規格を採用したグラフィックスホスト及びデジタル表示装置の回路ブロックに適用したシステムのブロック図を示す。

## 【0031】

図3のブロック図、図2と同じブロックに関しては同じ符号を付している。セットトップボックス1のチューナ復号部3から復号されたデジタル映像信号はHDCPスクランブラ11で暗号処理され、トランスミッタ4にて、高速シリアルデジタル信号に変換され、デジタル伝送路9でテレビジョン受信装置2に伝送される。

## 【0032】

テレビジョン受信装置2では、高速シリアルデジタル信号をレシーバ7にて受信し、HDCPデスクランブラ12によってこれを復号処理して、デジタル映像信号を表示部6に転送している。

## 【0033】

HDCPスクランブラ11による暗号処理とHDCPデスクランブラ12による復号処理に当たっての共有鍵の配送に関する制御は、通信制御バス10を介して実行される。

## 【0034】

このHDCP規格においては、ソース機器及びデジタル表示装置の間の伝送路上に介在するデータ中継装置としてのリピータとこのリピータに関する機能を規定している。

## 【0035】

ここでは、複数のグラフィックスホストと、デジタル表示装置の接続例を図4を用いて説明する。

## 【0036】

リピータ19は、高速シリアルデジタル信号を受信し、暗号化信号を復号処理し、再度、復号化映像信号を暗号処理して、再度、高速シリアルデジタル信号としてデジタル伝送路上に転送する機能を備える。

## 【0037】

ここでは、複数のグラフィックスホストと、デジタル表示装置の接続例を図4を用いて説明する。

## 【0038】

リピータ19はセットトップボックス1とデジタルビデオディスクプレーヤ18の2つのグラフィックスホストと、テレビジョン受信装置2との間に配置されている。

## 【0039】

そして、リピータ19は、これら2つのグラフィックスホストからのそれぞれの高速シリアルデジタル信号をレシーバ20とレシーバ21とによって受信する。

## 【0040】

リピータ19は、受信された高速デジタル信号の暗号化信号をHDCPデスクランブラ24とHDCPデスクランブラ26において復号処理する。

## 【0041】

リピータ19は、HDCPデスクランブラ24あるいはHDCPデスクランブラ26のいずれか一方において復号処理された復号化映像信号を、HDCPスクランブラ25によって暗号化処理する。

## 【0042】

リピータ19は、暗号化処理した映像信号をトランスミッタ22によって、高速シリアルデジタル信号に変換しテレビジョン受信装置2へと伝送する。

## 【0043】

セットトップボックス1のチューナ復号部3がリピータ19に含まれる場合もありえるが

、DVDプレーヤ18とデジタル表示装置との間にリピータ19の機能を有する装置が配置されている構成には変わり無い。

【0044】

ここで、図のソース機器とデジタル表示装置のシステムにおいて、前述のEDID規格の制御データを適用する場合について説明する。

【0045】

図5はリピータ19を介在した表示システムEDIDデータの処理機能を追加したシステムのブロック図である。

【0046】

図5において、図4と同一の符号を付したブロックは同一の機能を備えるので説明は省略する。 10

【0047】

前述のDVIの規格では、このリピータ19の定義が無く、リピータ19をシステムに用いることを想定していない。

【0048】

また、同様にHDCP規格では、このEDID規格の制御データの処理が規定されていない。

【0049】

ソース機器、リピータ19及び、表示装置の間でデータの送信あるいは受信条件を一定に保ち、伝送路上で正しくデータが伝送されるようにする必要がある。これを解決する方法として、ソース機器、リピータ19及び、デジタル表示装置の間に介在するリピータ19にデジタル表示装置が記憶しているEDID規格の制御データを転送するためのメモリを図1のシステムと同様に設ける手法が想定される。 20

【0050】

この手法では、メモリに制御データをバッファリングして、ソース機器側へEDID規格の制御データを伝送する。

【0051】

図5に示されるリピータ19にはトランスミッタ22とレシーバ20が設けられるので、リピータ19に、テレビジョン受信装置2における、EDIDメモリ8に記憶されたEDID規格の制御データを記憶するためのEDIDメモリ27及びEDIDメモリ28を設ける。 30

【0052】

リピータ19は、マイクロプロセッサ23により、テレビジョン受信装置2内のEDID規格の制御データを読み取り、EDIDメモリ27及びEDIDメモリ28へ記憶する。

【0053】

一方、ソース機器側のセットトップボックス1あるいは、ビデオディスクプレーヤ18はEDIDメモリ27及びEDIDメモリ28へアクセスすることによって、テレビジョン受信装置2が記憶しているEDID規格の制御データを取得することが可能となり、伝送路上で正しくデータが伝送される。

【0054】

しかしながら、各機器の電源がどのような順でオン状態となるかは不明である。テレビジョン受信装置2でのEDIDメモリ8をマイクロプロセッサ23が読み出してEDIDメモリ27に書き込んでいる期間、あるいは、書き込む以前にセットトップボックス1のマイクロプロセッサ5がEDIDメモリ27へアクセスして制御データを読み出そうとした場合、その読み出しデータは、EDIDメモリ8の値とは異なったものとなる可能性がある。 40

【0055】

マイクロプロセッサ5が、テレビジョン受信装置2のEDIDメモリ8の制御データと異なった場合は、セットトップボックス1はテレビジョン受信装置2の表示部の実際の表示属性に適合しない誤ったパラメータでチューナ復号部3を設定してしまう。 50

## 【0056】

そして誤った復号信号をテレビジョン受信装置2に対して送ってしまい、テレビジョン受信装置2はその形式の映像信号を表示できず画面が乱れて正常な表示ができなくなる。

## 【0057】

以上が、本発明が適用される表示システムの基本構成である。

## 【0058】

本発明ではこの表示システムに、メモリに対する制御データの記憶動作が完了するまでは、このメモリに対するアクセスを禁止するリピータを採用している。また、このリピータは、複数のソース機器と表示装置とを中継し、複数のソース機器に対応する複数のメモリを備える。

10

## 【0059】

図6は、本発明の一例に係るデータ中継装置であるリピータ19を採用したシステムのブロック図である。

## 【0060】

セットボックス1とリピータ19との間、デジタルビデオディスクプレーヤ18とリピータ19との間、リピータ19とテレビジョン受信装置2との間は、DVI規格で規定されたコネクタとケーブルで結合されている。

## 【0061】

セットトップボックス1とリピータ19との間には、双方向バスであるIICバス36とセットトップボックス1の状態を示すパワーオンライン30、リピータ19の状態を示すホットブラグライン33とが接続されている。

20

## 【0062】

デジタルビデオディスクプレーヤ18とリピータ19との間も同様に双方向バスであるIICバス38とセットトップボックス1の状態を示すパワーオンライン32、リピータ19の状態を示すホットブラグライン35が接続されている。リピータ19とテレビジョン受信装置2の間も同様に双方向バスであるIICバス37とリピータ19の状態を示すパワーオンライン31、テレビジョン受信装置2の状態を示すホットブラグライン34が接続されている。

## 【0063】

これらの接続の形態は上記に示したものに限られるものではないが、テレビジョン受信装置2のパワーオンライン31は、そのまま、ホットブラグライン34とも接続されており、そして、テレビジョン受信装置2の表示属性情報を含んだEDIDデータを記憶したEDIDメモリ8に接続されているとする。

30

## 【0064】

セットボックス1やデジタルビデオディスクプレーヤ18あるいはリピータ19に接続されている各パワーオンラインや各ホットブラグラインはそれぞれマイクロプロセッサ5、マイクロプロセッサ23、マイクロプロセッサ17に接続されている。

## 【0065】

これらマイクロプロセッサ5、マイクロプロセッサ23、マイクロプロセッサ17はシステムの状態検出や状態制御を司る回路ブロックである。

40

## 【0066】

ここで、図7を参照して、本実施形態の動作を説明する。

## 【0067】

図7は、セットトップボックス1、リピータ19、テレビジョン受信装置2間の信号の送受信状態を示すタイミングチャートである。

## 【0068】

まず、最初にA点においてセットボックス1の電源がオンとなり、パワーオンライン30がアクティブとなる。

## 【0069】

マイクロプロセッサ23はセットボックス1の電源の状態を検出して、テレビジョン受信

50

装置 2 側へのパワーオンライン 3 1 を A 点から期間 T 1 後の B 点においてアクティブとなす。

【0070】

この動作により、E D I D メモリ 8 の電源をリピータ 1 9 側から供給し、同時にホットプラグライン 3 4 を経由して E D I D メモリ 8 の電源の状態としてマイクロプロセッサ 2 3 へ転送される。

【0071】

同時にマイクロプロセッサ 2 3 はセットボックス 1 へ状態を知らしめるホットプラグライン 3 3 を B 点において非アクティブとなすと共に、I I C バス 3 7 を利用して、E D I D メモリ 8 のデータの読み出しを開始する。

10

【0072】

更に、マイクロプロセッサ 2 3 は、期間 T 2 において E D I D メモリ 8 の制御データをリピータ 1 9 側の E D I D メモリ 2 7 及び E D I D メモリ 2 8 に記憶する処理を行う。

【0073】

このとき、ホットプラグライン 3 3 の非アクティブ状態を検出しているセットトップボックス 1 側のマイクロプロセッサ 5 は E D I D メモリ 2 7 へのアクセスを停止すると共に、チューナ復号部への復号表示パラメータの設定動作や、高速デジタル伝送動作などを停止状態に制御する。

【0074】

E D I D メモリ 8 からの E D I D 制御データの E D I D メモリ 2 7 及び E D I D メモリ 2 8 への記憶処理が終了したら、マイクロプロセッサ 2 3 は、セットボックス 1 へこの状態を知らしめるために、C 点においてホットプラグライン 3 3 をアクティブとなす。

20

【0075】

ホットプラグライン 3 3 がアクティブになったことにより、セットボックス 1 のマイクロプロセッサ 5 は、受信側の受信準備ができたと判断することができる。また、C 点以降は D V I 規格、E D I D 規格及び、H D C P 規格に基づいたデータの伝送が行われる。

【0076】

更に、マイクロプロセッサ 5 は、E D I D メモリ 1 9 へアクセスし E D I D 制御データを取得してチューナ復号部を制御する。

【0077】

30

この実施の形態では、E D I D メモリ 8 からの E D I D 制御データの E D I D メモリ 2 7 及び E D I D メモリ 2 8 への記憶処理が行われている期間 T 2 においてはセットトップボックス 1 のマイクロプロセッサ 5 は、リピータ 1 9 の E D I D メモリ 2 7 へのアクセスが禁じられている。同様に、期間 T 2 においてはビデオディスクプレーヤ 1 8 のマイクロプロセッサ 1 7 は、リピータ 1 9 の E D I D メモリ 2 8 へのアクセスが禁じられている。

【0078】

次に、本実施の形態において上記セットトップボックス 1 からのデジタル信号が、リピータ 1 9 を介してテレビジョン受信装置 2 に伝送されている状態から、ビデオディスクプレーヤ 1 8 からのデジタル信号が、リピータ 1 9 を介して伝送可能な状態となった場合の動作を図 8 を用いて説明する。

40

【0079】

図 8 は、デジタルビデオディスクプレーヤ 1 8、リピータ 1 9、テレビジョン受信装置 2 間の信号の送受信状態を示すタイミングチャートである。

【0080】

ビデオディスクプレーヤ 1 8 のパワーオンライン 3 2 が A 点においてアクティブになると、リピータ 1 9 のマイクロプロセッサ 2 3 はその状態を検出して、テレビジョン受信装置 2 側へのパワーオンライン 3 1 を B 点において非アクティブとする。

【0081】

そして、ほぼ同時にホットプラグライン 3 4 も非アクティブとなることによって、テレビジョン受信装置 2 がリセットされたことをマイクロプロセッサ 2 3 が検出する。

50

## 【0082】

そして、マイクロプロセッサ23は、再度パワーオンライン31をC点においてアクティブとする。

## 【0083】

リピータ19のEDIDメモリ28には、既にEDIDメモリ8の制御データが書き込まれているので、ホットプラグライン35がアクティブになる時間は、図7においてホットプラグライン33がアクティブになる時間よりも短時間で済むことになる。

## 【0084】

また、ビデオディスクプレーヤ18側へのホットプラグライン35がアクティブになるのと同じタイミングで、デジタル映像信号またはデジタル音声信号をセットトップボックス1からビデオディスクプレーヤ18側に切り換える必要があるが、この切り換えについては後に詳しく説明する。

## 【0085】

上記したように、図6に示すデータ表示システムでは、ユーザーが1台の送信機（セットトップボックス1又はビデオディスクプレーヤ18）をオンにした場合、リピータ19の内部にある全てのEDIDメモリ（EDIDメモリ27及びEDIDメモリ28）に受信機（テレビジョン受信装置2）のEDIDメモリ8を記入する。

## 【0086】

この場合、例えばリピータ19の端子に送信機が接続されていても送信機に電源が入っていない状態や、リピータ19の端子に送信機自体が接続されていない場合、これら送信機に対応するEDIDメモリに受信機のEDIDメモリのデータを書き込んでから映像の伝送をすることになってしまう。

## 【0087】

上記したような送信機に対応するEDIDメモリに対しては、受信機のEDIDメモリのデータ書込みを後回しにすることによって、メモリ書込み時間の短縮を図ることができる。

## 【0088】

メモリ書込み時間を短縮することによって、送信機の映像を受信機にいち早く表示することが可能である。これを実現しようとしたのが図9に示すデータ表示システムである。なお、図9において、図6と同一の符号を付したブロックは同一の機能を備えるので説明は省略する。

## 【0089】

図9に示すデータ表示システムでは、リピータ19にはセットトップボックス1、デジタルビデオプレーヤ18、デジタルビデオプレーヤ56が接続されている。このうち、セットトップボックス1及びデジタルビデオプレーヤ18の電源投入はスタンバイ状態である。一方、デジタルビデオプレーヤ18の電源投入はオフ状態である。

## 【0090】

ここでスタンバイ状態とは、機器内のマイクロプロセッサが導電されている状態と定義し、オフ状態とは機器内のマイクロプロセッサが導電されていない状態、あるいは端子に機器が接続されていない状態と定義する。

## 【0091】

図9に示すように、リピータ19の内部には、セットトップボックス1に対応するEDIDメモリ27、デジタルビデオプレーヤ18に対応するEDIDメモリ28、デジタルビデオプレーヤ56に対応するEDIDメモリ61を備えている。リピータ19は、スタンバイ状態である送信機器、つまりセットトップボックス1に対応するEDIDメモリ18、及びデジタルビデオプレーヤ18に対応するEDIDメモリ28に優先して、テレビジョン受信装置2内のEDIDメモリ8の制御データを書込む。

## 【0092】

セットトップボックス1の電源をオンにした場合、セットトップボックス1の電源がオンになったことが、パワーオンライン30を介してリピータ19内部のマイクロプロセッサ

10

20

30

40

50

23に伝わる。リピータ19内部のマイクロプロセッサ23はE D I Dメモリ18及びE D I Dメモリ28に書込むべきメモリであることを何らかの方法として検知する。

【0093】

検知方法の一例としては、マイクロプロセッサ間に相互接続されているI I Cバス36、I I Cバス38、I I Cバス58を用いて、リピータ19内部のマイクロプロセッサ23からリピータ19側に接続されている送信機側のマイクロプロセッサ5、マイクロプロセッサ17、及びマイクロプロセッサ57に任意のデータを送信して送信機側のマイクロプロセッサ5、マイクロプロセッサ17、及びマイクロプロセッサ57からアクノリッジ信号を検知することによって判断することができる。

【0094】

10

図9に示すケースでは、マイクロプロセッサ23へは、マイクロプロセッサ5及びマイクロプロセッサ17からのアクノリッジ信号が返ってくるが、マイクロプロセッサ57からのアクノリッジ信号が返ってこない。よって、マイクロプロセッサ23は、E D I Dメモリ8の制御データを、セットトップボックス1に対応するE D I Dメモリ28及びデジタルビデオプレーヤ18に対応するE D I Dメモリ28のみに書込むべきと判別する。

【0095】

マイクロプロセッサ23はE D I Dメモリ8の制御データをE D I Dメモリ27及びE D I Dメモリ28に優先的に書込めば良い。一方、E D I Dメモリ61に対してE D I Dメモリ8の制御データは早急に書込む必要がないと見なした為に、例えばセットトップボックス1から映像信号が伝送された後、適当な時間を見計らって書込めば良いものとする。20  
なお、ここでは、送信機側がスタンバイ状態か否かにより、リピータ19の内部のE D I Dメモリ27、28、61のどれに優先的に書込むかを判断するケースについて説明したが、あくまでも一例であって優先すべき基準は様々な事例が考えられる。

【0096】

次に、図10を参照して、E D I Dメモリを一つに集約したリピータ19を備えたデータ表示システムについて説明する。なお、図10において、図6と同一の符号を付したブロックは同一の機能を備えるので説明は省略する。

【0097】

図10に示すシステムと図6で示したシステムとの相違点は、リピータ19の内部に存在するE D I Dメモリの数である。図10では、リピータ19の内部に存在するE D I Dメモリを1個所に集約させている。さらに、リピータ19は、E D I Dメモリを1個所に集約させたことに伴い複数送信機器が同時にE D I Dメモリ54にアクセスするのを防ぐ手段、すなわち、複数送信機器のうちのひとつのみがE D I Dメモリ54に対してアクセスできるように制御するアクセス制御手段を有していることである。本手段ではメモリ54にアクセスすることを防止する手段の一例として、スイッチ55を備えている場合を挙げる。30

【0098】

図6に示すシステムと同様に、動作の起点をセットトップボックス1の電源がオンとなり、パワーオンライン30がアクティブとなった点にする。

【0099】

40

マイクロプロセッサ23はその状態を検出して、テレビジョン受信装置2側へのパワーオンライン31をアクティブとする。これにより、E D I Dメモリ8の電源をリピータ19側から供給し、同時にホットプラグライン34が状態として返される。

【0100】

マイクロプロセッサ23はセットトップボックス1へ状態を知らせるホットプラグライン33を非アクティブとなすと共に、I I Cバス37を利用して、E D I Dメモリ8のデータを読み出して、E D I Dメモリ54に書き込む。

【0101】

マイクロプロセッサ5は、ホットプラグライン33が非アクティブ状態を検出しており、同時にマイクロプロセッサ5は、E D I Dメモリ54へのアクセスを禁止する。さらに、50

マイクロプロセッサ 5 は、チューナ復号部への復号表示パラメータの設定や、高速デジタル伝送などを停止状態に制御する。

【0102】

EDIDメモリ 54 に対する EDIDメモリ 8 の制御データの書き込み処理が終了したら、セットトップボックス 1 へ状態を知らしめるホットプラグライン 33 をアクティブとする。同時に、マイクロプロセッサ 23 は EDIDメモリ 54 のデータをセットトップボックス 1 のマイクロプロセッサ 5 側からのみ取り込むことができるようにスイッチ 55 を切り替える。

【0103】

これにより、セットトップボックス 1 のマイクロプロセッサ 5 は、受け側の受信準備ができたと判断でき、一連の規格の動作を開始することができる。

【0104】

次に、図 11 を参照して、リピータ 19 の空きピンを利用したデータ転送について説明する。なお、図 11 において、図 6 と同一の符号を付したブロックは同一の機能を備えるので説明は省略する。

【0105】

上記説明したように、DVI仕様では、機器間を接続するケーブルには、高速シリアルデジタルラインやそのクロックラインと、通信制御データを伝送したり、共有鍵配送の制御に利用する通信制御のための IICバス規格の 2 本のラインと、送り側の状態を示し電力も供給できるパワーオンラインや受け側の状態を示すホットプラグラインがある。その他に、コネクタとして空きピンがあり、これを用いて新しい制御線を設け、処理を一時中断させる方法も同様に利用できる。

【0106】

図 11 に示すように、リピータ 19 マイクロプロセッサ 23 とセットトップボックス 1 のマイクロプロセッサ 5、リピータ 19 のマイクロプロセッサ 23 とデジタルビデオプレーヤ 18 のマイクロプロセッサ 17 が、新しい制御線 40 や 41 で結合される。

【0107】

図 11 には、図示しないがセットトップボックス 1 やデジタルビデオプレーヤ 18 が起動し、パワーオンラインでその状態を検出して図 7 や図 8 で示したセットトップボックス 1 へ返すホットプラグライン 33 や、デジタルビデオプレーヤ 18 へ返すホットプラグライン 35 の代用として、制御線 40 や 41 を用いることもできる。

【0108】

次に、リピータ 19 の構成する回路の実施の形態について図 12 を用いて説明する。

【0109】

図 12 は、リピータ 19 の回路ブロック図である。

【0110】

テレビジョン受信装置 2 の表示属性を示した制御データを、リピータ 19 内に設けられた EDIDメモリ 27 に対して、セットトップボックス 1 のマイクロプロセッサ 5 で読み出す場合以下のようにして、EDIDメモリ 27 へのアクセスを制御する。

【0111】

この方法は、マイクロプロセッサ 5 と EDIDメモリ 27 との間の制御データを通信するシリアルリンクを、リピータ 19 のマイクロプロセッサ 23 が、制御データを書き込みする時間においては、通信を停止させる方法である。

【0112】

制御データを通信するシリアルリンクとは具体的には IICバス規格に基づく通信バスのことであり、IICバス 36 のシリアル転送のクロックライン 36 CL とシリアルデータライン IICバス 36 DT の 2 本の線路で通信する。

【0113】

この規格はクロックを発生する側をマスターとし他の機器をスレーブとして、マスター機器とスレーブ機器が通信してスレーブに対してあるデータを書き込みまたは読み出しを行

40

50

う。

【0114】

IICバス36のクロックラインバス36CLやシリアルデータライン36DTはマスター側とスレーブ側の双方がオープンドレインで駆動されており、双方が非駆動となったときのみ論理レベルがH（ハイ）レベルとなるように抵抗値を設定している。

【0115】

マスターがスレーブに対してあるアドレスを指定して、スレーブ側からアクノリッジ状態の応答があるが、このときスレーブ側から正常なアクノリッジを回答しなければ次の書き込みや読み出しの状態に移らない。

【0116】

また、動作速度の遅い機器はクロックの立下りから立ち上がりの間での時間を標準の速度よりも遅らせて通信することができるので、この時間を利用して、シリアルデータライン36DTの通信動作を停止することができる。

【0117】

IICバス36のクロックラインバス36CLやシリアルデータライン36DTはマスター側とスレーブ側の双方を非導通とする方法は、トランジスタ51とトランジスタ52をマイクロプロセッサ23の端子63、端子64をL（ロー）レベルとすることで実行することが可能である。

【0118】

このようにトランジスタ51とトランジスタ52を非導通とすることによって、マスター 20の要求に対して何ら応答するととがなく、マスター側は待機状態となる。

【0119】

この間、マイクロプロセッサ23はIICバス37のクロックライン37CLとシリアルデータライン37DTのシリアルリンクを用いて、EDIDメモリ8から制御データを読み出し、端子61、端子62からIICバス規格に基づいてEDIDメモリ27に書き込みを行う。

【0120】

この動作が終了したら、端子61、端子62をオープンとなし、端子63、端子64のレベルをHレベルにしてトランジスタ51とトランジスタ52を導通し、IICバス36のクロックライン36CLとシリアルデータラインDTによって、EDIDメモリ27の制 30御データを読み出すことが可能となる。

【0121】

マイクロプロセッサ23の端子5をHレベルにしてトランジスタ53を導通にしてIICバス36CLKをLレベルにしておくことによって確実にマスター側とスレーブ側の通信を停止することができる。

【0122】

即ち、マスター側の装置であるセットトップボックス1のマイクロプロセッサ5のリピータ19におけるEDIDメモリ27に対するアクセスが禁じられることになる。

【0123】

以上説明したように、この発明によると、テレビジョン受信装置などの表示装置からの制 40御データがリピータのメモリに完全に記憶されるまでの間は、セットトップボックスやデジタルビデオプレーヤなどのソース側からリピータのメモリに対するアクセスが禁止される。これにより、ソース側による誤った制御データの読み出しを防止できる。

【0124】

また、リピータは、複数のソース機器に対応する複数のメモリを備えているので、各ソース機器が制御データを取得するまでの時間を短縮することができる。

【0125】

さらに、複数のソース機器に対する制御データの転送順序を、各ソース機器の優先順位に応じて決定する。これにより、特に制御データを早急に必要としないソース機器に対する制御データの転送を後回しにすることにより、早急に制御データを必要とするソース機器 50

により早急に制御データを転送することができる。

#### 【0126】

なお、本願発明は、上記実施形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、各実施形態は可能な限り適宜組み合わせる実施してもよく、その場合組み合わせた効果が得られる。更に、上記実施形態には種々の段階の発明が含まれており、開示される複数の構成要件における適当な組み合わせにより種々の発明が抽出され得る。例えば、実施形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

10

#### 【0127】

##### 【発明の効果】

この発明によれば、表示装置からの制御データを複数のソース機器に転送するのに優れたデータ中継装置及びデータ表示システムを提供することにある。

##### 【図面の簡単な説明】

【図1】この発明の一例に係るデジタル表示システムの基本構成を説明するためのブロック図である。

【図2】DVI規格の高速シリアルデジタル伝送路が適用されたデジタル表示システムの概略構成を示す図である。

【図3】HDCP規格が適用されたデジタル表示システムの概略構成を示す図である。

20

【図4】複数のグラフィックホスト（セットトップボックス、デジタルビデオプレーヤ）とデジタル表示装置（テレビジョン受信装置）の接続を示す図である。

【図5】EDIDメモリを搭載したリピータによる複数のグラフィックホストとデジタル表示装置との接続を示す図である。

【図6】複数のグラフィックホストに対応する複数のEDIDメモリを搭載したリピータを備えたデータ表示システムの概略構成を示す図である。

【図7】セットトップボックス、リピータ、テレビジョン受信装置の間の伝送路における信号の送受信状態を示すタイミングチャートである。

【図8】デジタルビデオプレーヤ、リピータ、テレビジョン受信装置の間の伝送路における信号の送受信状態を示すタイミングチャートである。

30

【図9】セットトップボックス1及びデジタルビデオプレーヤ18の電源投入がスタンバイ状態であり、デジタルビデオプレーヤ18の電源投入がオフ状態であるときの、テレビジョン受信装置が搭載するメモリのデータ転送タイミングを説明するための図である。

【図10】EDIDメモリを一つに集約したリピータを備えたデータ表示システムの概略構成を示す図である。

【図11】リピータの空きピンを利用したデータ転送を説明するための図である。

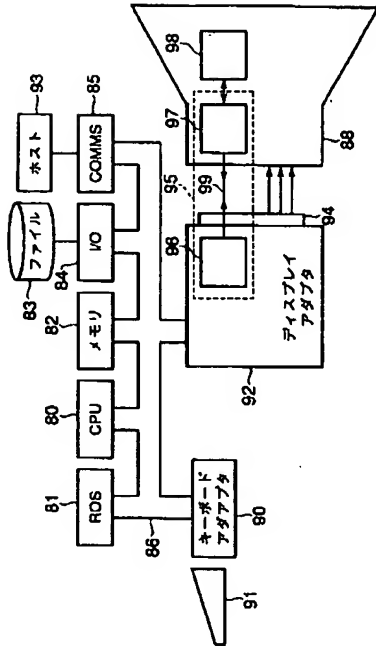
【図12】リピータの概略構成を示す回路ブロック図である。

##### 【符号の説明】

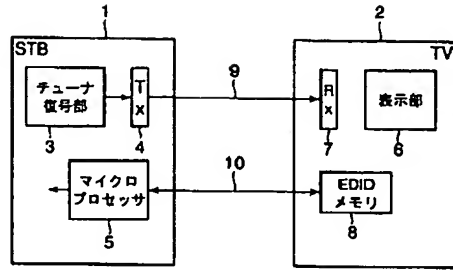
- 1…セットトップボックス
- 2…テレビジョン受信装置
- 5…マイクロプロセッサ
- 8…EDIDメモリ
- 17…マイクロプロセッサ
- 18…デジタルビデオディスクプレーヤ
- 19…リピータ
- 23…マイクロプロセッサ
- 27…EDIDメモリ
- 28…EDIDメモリ

40

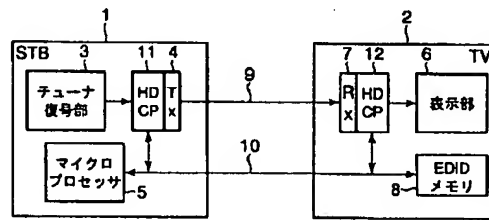
【図 1】



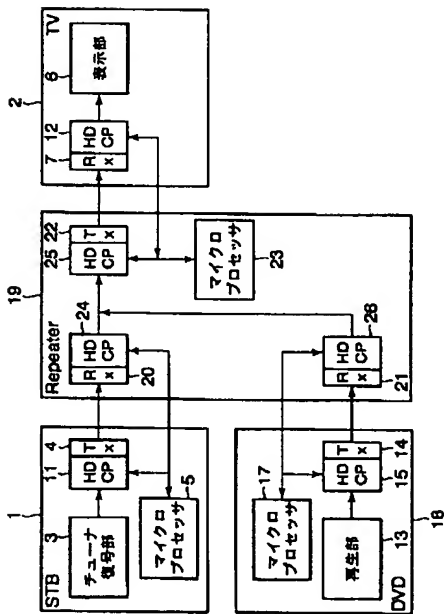
【図 2】



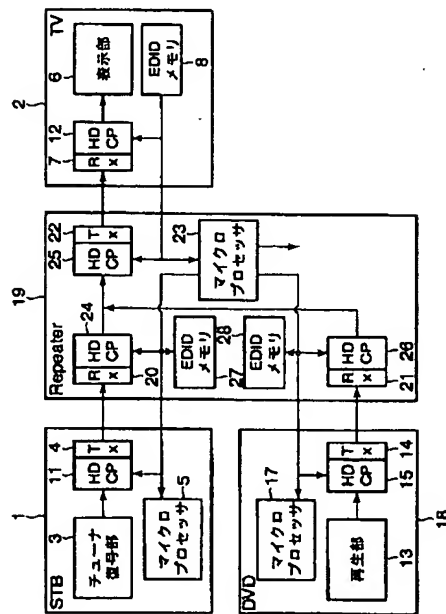
【図 3】



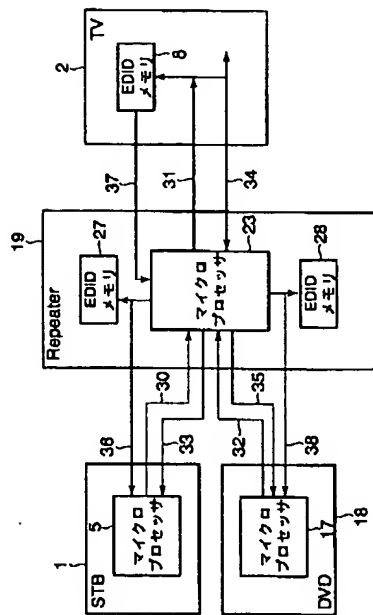
【図 4】



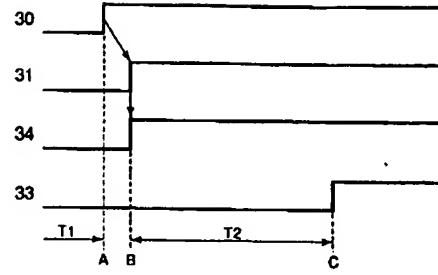
【図 5】



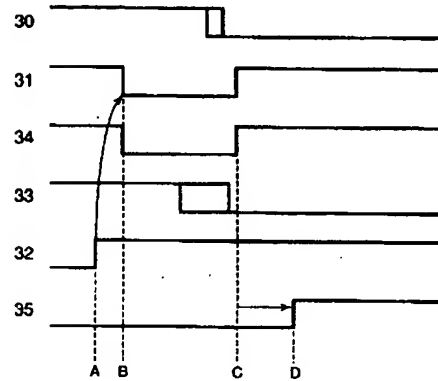
【図 6】



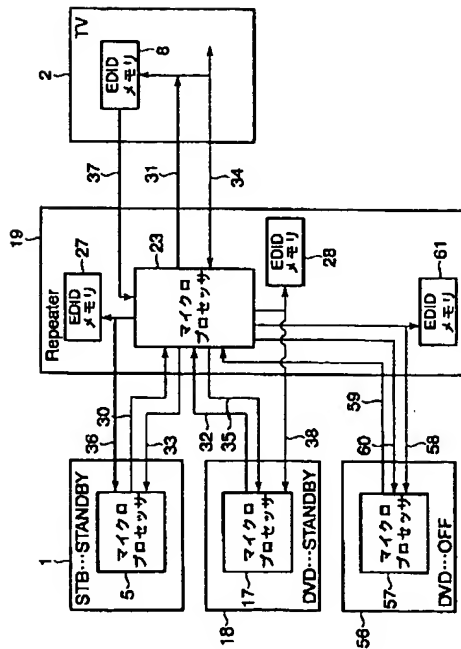
【図 7】



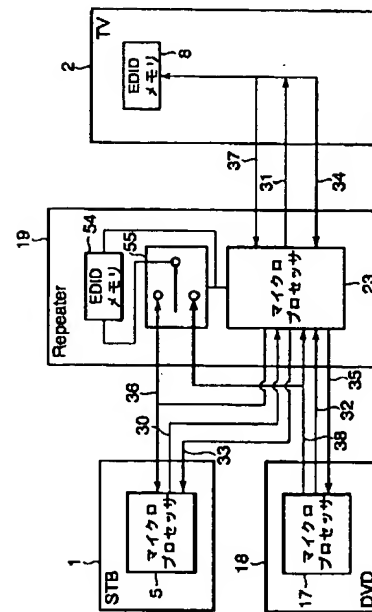
【図 8】



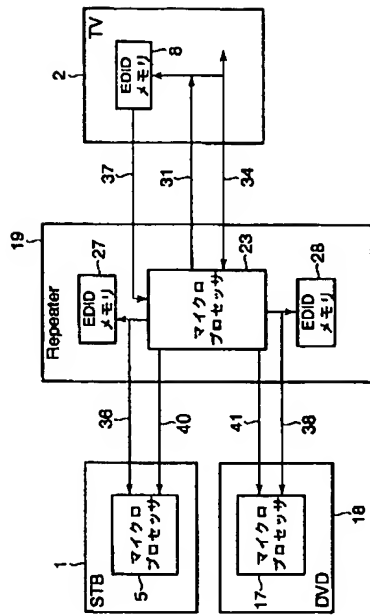
【図 9】



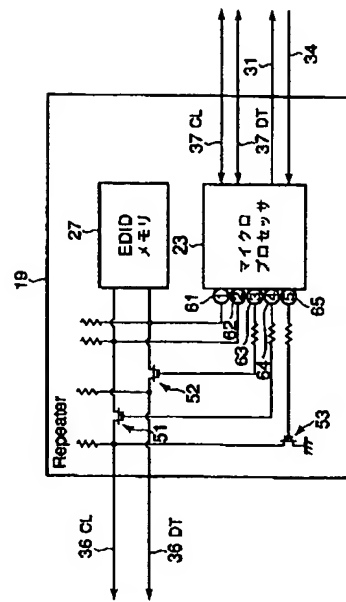
【図 10】



【図 1 1】



【図 1 2】



---

フロントページの続き

(74)代理人 100070437

弁理士 河井 将次

(72)発明者 川田 大

東京都青梅市末広町2丁目9番地 株式会社東芝青梅工場内

Fターム(参考) 5C025 BA27 DA08